

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036778

(43)Date of publication of application : 07.02.1997

(51)Int.Cl. H04B 1/707  
H04L 7/00

(21)Application number : 07-183878

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 20.07.1995

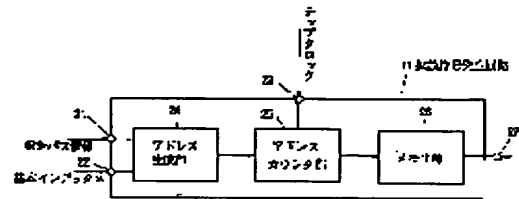
(72)Inventor : AMAZAWA TAIJI  
TAKEO KOUJI  
NISHINO MASAHIRO

## (54) SPREAD CODE GENERATING CIRCUIT AND RECEIVER FOR MOBILE COMMUNICATION

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain the spread code generating circuit and the receiver for mobile communication in which a circuit having provision for a bus revision request is realized with a simple configuration.

**SOLUTION:** A spread code generating circuit 11 is connected to a synchronization acquisition device generating relative path information based on a reception signal from a multi-path propagation path in the spread spectrum communication. The relative path information from the synchronization acquisition device is given to an address generating section 24, in which a relative phase with a basic index is given. Thus, when a path change request is received, an address counter section 25 decides how much the phase of the spread code outputted from a memory section 26 so far is shifted in which direction based on the relative path information.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36778

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	1/707		H 0 4 J 13/00	D
H 0 4 L	7/00		H 0 4 L 7/00	C

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平7-183878

(22) 出願日 平成7年(1995)7月20日

(71) 出願人 000000295

沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号

(72) 発明者 雨澤 泰治  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 武尾 幸次  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 西野 雅弘  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

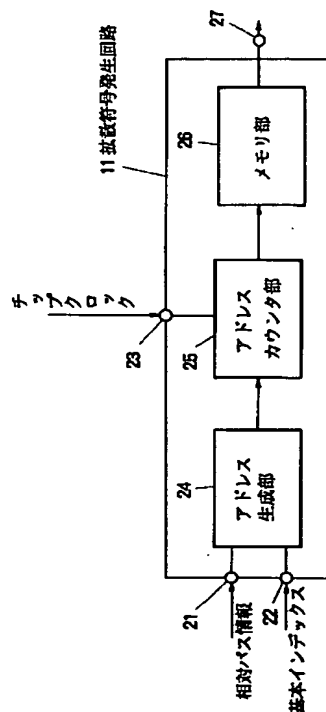
(74) 代理人 弁理士 前田 実

(54) 【発明の名称】 拡散符号発生回路及び移動体通信用の受信装置

(57) 【要約】

【目的】 バス変更要求に対処するための回路を簡単な構成とした拡散符号発生回路及び移動体通信用の受信装置である。

【構成】 本発明の拡散符号発生回路(11)は、スペクトル拡散通信におけるマルチバス伝搬路からの受信信号に基づいて相対バス情報を生成する同期補捉器に接続されている。同期補捉器から相対バス情報がアドレス生成部(24)に入力され、基本インデックスとの相対位相が与えられる。したがって、バス変更要求があった場合にアドレスカウンタ部(25)は、この相対バス情報によって、それまでメモリ部(26)から出力されていた拡散符号の位相を、どちら側にどの程度ずらせば良いかが決めることができる。



本発明の一実施例を示すブロック図

## 【特許請求の範囲】

【請求項1】 スペクトル拡散通信におけるマルチバス伝搬路からの受信信号に基づいて相対バス情報を生成する同期捕捉器に接続された拡散符号発生回路において、前記相対バス情報と基本インデックスとを加算することによって同期アドレスを生成するアドレス生成手段と、前記同期捕捉器からのバス変更要求があった場合に前記アドレス生成手段で生成された同期アドレスをロードするアドレスデコード手段と、前記拡散符号のビット長分の記憶容量を有し、前記アドレスデコード手段でデコードされた値を読み出しアドレスとして前記受信信号を逆拡散するための拡散符号を出力する記憶手段とを備えたことを特徴とする拡散符号発生回路。

【請求項2】 前記アドレスデコード手段は、前記逆拡散に必要な拡散符号長を $N$ としたとき、前記チップクロックに同期して「0」から「 $N-1$ 」までカウントする $N$ 進のカウンタであることを特徴とする請求項1に記載の拡散符号発生回路。

【請求項3】 前記請求項1または2のいずれかに記載の拡散符号発生回路を備えていることを特徴とする移動体通信用の受信装置。

【請求項4】 前記基本インデックスとして、チップクロックに同期したカウント値を出力する基本カウンタを備えていることを特徴とする請求項3に記載の受信装置。

【請求項5】 前記同期捕捉器は、前記受信信号の同期点についてのバス情報から前記基本カウンタの基本インデックスを差し引いて相対バス情報を生成することを特徴とする請求項4に記載の受信装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、スペクトル拡散 (Spread Spectrum) 通信方式による移動体通信用の受信装置、及びこのような受信装置に使用される拡散符号発生回路に関する。

## 【0002】

【従来の技術】スペクトル拡散通信方式 (SS方式) とは、多数の利用者が同じ周波数帯域を共用して互いの相手方と通信するうえで有効な多元接続方法の一種であって、最近では移動体通信に広く採用されている。このSS方式では、送信電力を所定の帯域幅に分散させて、電力密度を低くして電波を送信できるから、周波数を有効に利用して多数の通信チャネルが確保できる。また、SS方式では、音声信号などを以下のように変調し、復調することによって通常の受信機では目的外の信号の傍受を困難にしている。

【0003】このようなSS方式では、受信機は、拡散変調された信号を受信して元の電気信号 (ベースバンド波形) を再現するために、送信側と同じ拡散符号列を利

用して、受信した拡散信号との相関を求め、受信した拡散信号を逆拡散している。したがって、このような受信装置においては、逆拡散に用いる拡散符号を発生するための拡散符号発生回路が必要である。つぎに、従来の拡散符号発生回路について、簡単に説明する。

【0004】従来の拡散符号発生回路では、 $\pm 1$ のレベルの値がランダムに、しかも一定の周期性をもって立ち現われるような矩形波の系列、例えばM系列を拡散符号として発生させて、受信した拡散信号との相関をとっている。この拡散符号発生回路は、 $n$ 個のシフトレジスタと排他的論理和回路により構成され、 $2^n - 1$ の周期のM系列を生成できるが、そこで生成される拡散符号の初期値は、シフトレジスタに与えるシード (種) によって決まる。例えば、5ビットのシフトレジスタ ( $n=5$ ) を使って構成された拡散符号発生回路により記憶できる状態数は32通りであるから、それらのシフトレジスタを縦続接続して一定のクロック (チップクロック) でシフトすると、最大32回レジスタをシフトすれば、レジスタの状態は必ず初期状態に戻り、さらにシフトを続けると同じ系列のデータが繰り返し出力される。但し、オールゼロを初期値とすることはできないから、実現可能な最大周期の系列は31である。

【0005】ところで、スペクトル拡散通信におけるマルチバス伝搬路からの受信信号は、このような拡散符号発生回路で拡散符号を生成する場合、拡散符号が送信側と同期がとれなければ目的とする信号を逆拡散して、音声信号を正しく復調することができない。そこで、スペクトル拡散通信方式では通信の最初に同期状態を確立するまでの同期捕捉 (acquisition) と、同期確立後にその状態が変調や雑音の影響で失われないように監視する同期追従 (tracking) が行なわれる。

## 【0006】

【発明が解決しようとする課題】しかし、建造物等による反射で送信信号が複数の経路で受信装置に到達するなどの原因で、同期捕捉後に同期追従回路に対してバス変更要求があった場合には、拡散符号の位相を変更しなければならない。従来の拡散符号発生回路で拡散符号の位相変更を行なうためには、シフトレジスタの初期状態を決めるシードを書き換えるか、あるいは線形演算を行なって、新たな拡散符号を生成しなければならない。このため、拡散符号発生回路とは別に、外部回路としてシードを演算するための演算回路、及びその演算結果に基づいてシフトレジスタを書き換えるための回路などが必要になるが、このようなシードの書き換えは容易でなく、ソフトウェア、ハードウェアの両方の負担を大きくするという問題があった。

【0007】この発明は、上述のような課題を解決するためになされたもので、その目的は、バス変更要求に対処するための回路を簡単な構成とした拡散符号発生回路及び移動体通信用の受信装置を提供することである。

## 【0008】

【課題を解決するための手段】請求項1に係る拡散符号発生回路は、スペクトル拡散通信におけるマルチパス伝搬路からの受信信号に基づいて相対パス情報を生成する同期捕捉器に接続された拡散符号発生回路において、前記相対パス情報と基本インデックスとを加算することによって同期アドレスを生成するアドレス生成手段と、前記同期捕捉器からのパス変更要求があった場合に前記アドレス生成手段で生成された同期アドレスをロードするアドレスデコード手段と、前記拡散符号のビット長分の記憶容量を有し、前記アドレスデコード手段でデコードされた値を読み出しアドレスとして前記受信信号を逆拡散するための拡散符号を出力する記憶手段とを備えたことを特徴とする。

【0009】請求項2に係る拡散符号発生回路は、前記アドレスデコード手段が、前記逆拡散に必要な拡散符号長をNとしたとき、前記チップクロックに同期して「0」から「N-1」までカウントするN進のカウンタであることを特徴とする。

【0010】また、請求項3に係る移動体通信用の受信装置は、前記請求項1または2のいずれかに記載の拡散符号発生回路を備えていることを特徴とする。

【0011】請求項4に係る受信装置は、前記基本インデックスとして、チップクロックに同期したカウント値を出力する基本カウンタを備えていることを特徴とする。

【0012】請求項5に係る受信装置は、前記同期捕捉器が、前記受信信号の同期点についてのパス情報から前記基本カウンタの基本インデックスを差し引いて相対パス情報を生成することを特徴とする。

## 【0013】

【作用】請求項1に係る拡散符号発生回路では、パス変更要求時に相対的な位相のみをアドレス生成部に与えるだけで正確な位相の拡散符号を生成できる。

【0014】請求項2に係る拡散符号発生回路では、アドレス生成部から出力される同期アドレスがパス変更要求を含む場合に、チップクロックに同期して「0」から「N-1」までカウントするN進のカウンタに同期アドレスがロードされる。

【0015】請求項3に係る移動体通信用の受信装置では、前記請求項1または請求項2の拡散符号発生回路によりパス変更要求に対応できる。

【0016】請求項4に係る受信装置では、基本カウンタから受信装置のチップクロックに同期したカウント値を基本インデックスとして、相対的な位相を示す相対パス情報を生成できる。

【0017】請求項5に係る受信装置では、基本インデックスを拡散符号発生回路に供給して、相対的な位相を示す相対パス情報に基づいてパス変更要求に対応できる。

## 【0018】

【実施例】以下、添付した図面を参照して、この発明の実施例を説明する。

【0019】図1は、SS方式の受信機の一部であって、拡散符号発生回路の周辺回路構成を示すブロック図である。

【0020】10は、拡散変調された受信信号のパス情報に基づいて相対パス情報を生成する同期捕捉器であって、生成された相対パス情報は拡散符号発生回路11に入力される。この拡散符号発生回路11は、受信機のチップクロックが入力されるチップクロック入力端子12と接続されている。また、同期捕捉器10には、図示しないアンテナから入射された受信信号が、受信信号入力端子13からベースバンド信号に変換されて入力される。チップクロック入力端子12から入力されるチップクロックは、拡散符号発生回路11と基本カウンタ14に供給されている。基本カウンタ14では、チップクロックに同期して、「0」から1周期の拡散符号の長さ(=N)より1少ない「N-1」までのカウント値を基本インデックスとして生成する。

【0021】上記同期捕捉器10は、相関器15、パス選択部16、および相対パス情報生成部17を有している。相関器15は、受信信号に対して拡散符号の全空間についての相関演算を行ない、相関結果を出力するもの、パス選択部16は、相関結果に基づいて相関パワーを最大とする拡散符号の同期位置を検出して、そのパス情報を選択するものである。また、相対パス情報生成部17にはパス選択部16から出力されたパス情報と、上記基本カウンタ14で生成された基本インデックスが入力される。相対パス情報生成部17では、パス情報から基本インデックスを引いた相対パス情報を生成し、パス変更要求とともに拡散符号発生回路11に出力する。拡散符号発生回路11には、この相対パス情報の他に、基本インデックス及びチップクロックが入力され、次に詳述するように拡散符号が生成され、出力端子18から出力される。

【0022】図2は、本発明の拡散符号発生回路を示すブロック図である。

【0023】この拡散符号発生回路11は、相対パス情報の入力端子21、基本インデックスの入力端子22、及びチップクロックの入力端子23を有し、アドレス生成部24、アドレスカウンタ部25及びメモリ部26を備えている。アドレス生成部24には相対パス情報と基本インデックスが入力され、これらを加算することによって同期アドレスを生成して、アドレスカウンタ部25に出力している。アドレスカウンタ部25は、同期捕捉器10からのパス変更要求があった場合にアドレス生成部24で生成された同期アドレスをロードするデコーダ手段である。これは、例えばN進カウンタで構成され、「0」から「N-1」まで計数可能である。そしてチッ

ブクロックをクロック入力として、バス変更要求がアドレス生成部24から出された場合だけ、アドレス生成部24の同期アドレスが置数される。メモリ部26は、拡散符号のビット長分の記憶容量を有していて、ここには予め逆拡散に使用される拡散符号が記憶されている。そしてアドレスカウンタ部25から入力されたカウント値に対応するメモリアドレス位置から、その記憶内容を拡散符号として出力端子18から読み出すように構成されている。

【0024】このように構成された拡散符号発生回路11では、同期補捉器10から相対バス情報が入力され、基本インデックスとの相対位相が与えられる。したがって、バス変更要求があった場合に、この相対バス情報によって、それまでメモリ部26から出力されていた拡散符号の位相を、どちら側にどの程度ずらせば良いかが決まる。すなわち、従来のシフトレジスタに対するシードを演算する必要がなくなって、加算手段で構成されるアドレス生成部24とアドレスカウンタ部25によってバス変更要求に対応できる。なお、同期補捉器10のバス変更要求は、アドレス生成部24から同期アドレスとともにアドレスカウンタ部25に入力される。

【0025】以上に説明したように、バス情報を基本カウンタ14からの相対値として同期補捉器10から出力しているため、バス変更要求があった時、アドレス生成部24では単に相対バス情報と基本インデックスとを加算するだけで、バス情報の絶対値を復元できる。

【0026】

【発明の効果】この発明の拡散符号発生回路及び移動体通信用の受信装置によれば、バス変更要求に対処するための回路を簡単に構成できるから、ソフトウェア、ハードウェアの両方の負担を軽減して、回路設計を容易に行なえる。

【図面の簡単な説明】

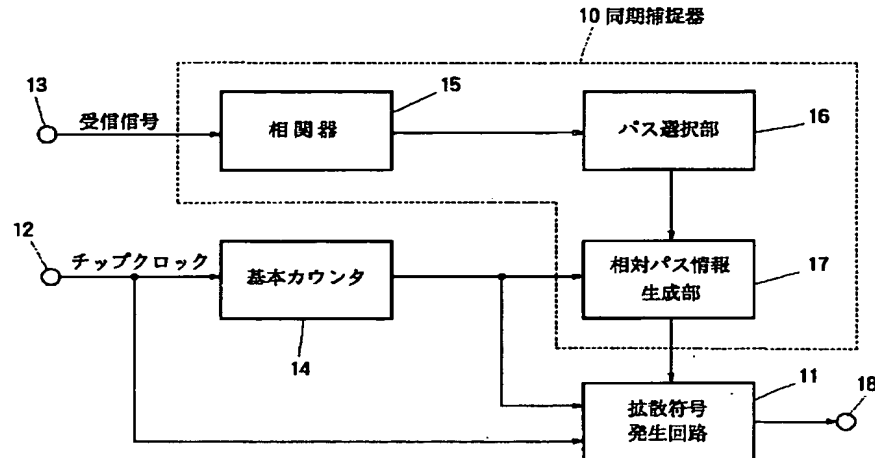
【図1】SS方式の受信機の一部であって、拡散符号発生回路の周辺回路構成を示すブロック図である。

【図2】この発明の一実施例を示すブロック図である。

【符号の説明】

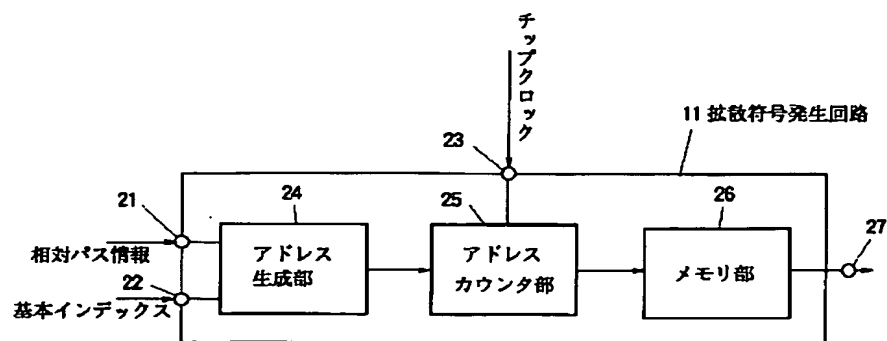
10 同期補捉器、11 拡散符号発生回路、24 アドレス生成部、25 アドレスカウンタ部、26 メモリ部。

【図1】



本発明の周辺回路を説明する図

【図2】



本発明の一実施例を示すブロック図